Триггеры

**6.1. Общие сведения.***Триггерами*, или *спусковыми устройствами*, называют устройства, имеющие два состояния устойчивого равновесия. Каждое из этих состояний может сохраняться сколь угодно длительное время. Переход из одного состояния устойчивого равновесия в другое осуществляется скачком под воздействием внешнего управляющего напряжения.

Перепады выходного напряжения или устойчивые состояния триггера можно принять в качестве логической информации «0» и «1». Поэтому триггер можно использовать в качестве запоминающего устройства, которое хранит один разряд числа, представленного в двоичном коде.

Триггеры подразделяются на две группы — статические и динамические. *Статическими* называют триггеры, у которых каждое состояние характеризуется неизменным уровнем (потенциалом) выходного напряжения. Статические триггеры называют также *потенциальными*. В *динамических* триггерах одно из состояний (обычно единичное) характеризуется наличием на выходе непрерывной последовательности импульсов определенной частоты, а другое (нулевое) — отсутствием импульсов.

Статический триггер реализуется на двухкаскадном усилителе с положительной ОС. Каждый усилитель образует одно плечо триггера. Если оба плеча обладают симметрией по схемотехнике и по параметрам входящих в них элементов, то такой триггер называют *симметричным*. Если симметрия отсутствует, то триггер называется *несимметричным*.

Интегральные триггеры используются как самостоятельные устройства и, кроме того, входят в состав различных функциональных устройств: счетчиков, регистров, запоминающих устройств и т.п. Современные интегральные триггеры часто строятся на основе нескольких логических элементов, объединенных в одну микросхему. Они могут иметь несколько входов и различаться способами ввода входной информации.

На схемах входы триггера обозначают буквами латинского алфавита в соответствии с табл. 6.1. По названиям информационных входов называют и триггеры: RS-триггер, D-триггер, JK-триггер и др.

В зависимости от схемы управляющего устройства триггеры делятся на синхронные и асинхронные. *Асинхронные*триггеры имеют только информационные (логические) входы, и в них запись информации осуществляется в момент ее поступления. В *синхронных* триггерах запись информации, поступившей на информационные входы, происходит только при поступлении на синхронизирующий (тактирующий) вход дополнительного командного импульса. Синхронные триггеры могут иметь и асинхронные входы, которые обычно служат для установки триггера в нужное исходное состояние.

Асинхронные триггеры используются в качестве коммутаторов, ключей, счетчиков импульсов, делителей частоты повторения импульсов и т.п. Синхронные триггеры применяются в вычислительной и цифровой технике.

Таблица 6.1. Функциональное назначение входов триггера

|  |  |
| --- | --- |
| Условное обозначение | Назначение |
| S  R  J  K  T  D  V  C | *Информационные входы*  Вход для раздельной установки триггера в состояние 1  Вход для раздельной установки триггера в состояние 0  Вход для установки в состояние 1 JK-триггера  Вход для установки в состояние 0 JK-триггера  Счетный вход триггера  Вход для установки триггера в состояния 0 или 1  *Управляющие входы*  Подготовительный вход для разрешения приема информации  Подготовительный вход для осуществления приема информации. Вход синхронизации |

Триггеры, переключающиеся по уровню входных сигналов, называют триггерами *со статическим управлением*, а по фронтам и срезам — триггерами *с динамическим управлением*.

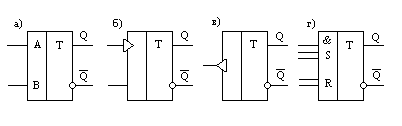


Рис. 6.1. Условные обозначения триггеров

На схемах триггер изображают прямоугольником, разделенным вертикальной линией на две части (рис. 6.1.): правая часть — основное поле, левая — дополнительное. В основном поле помещается буква Т, а в дополнительном у каждого входа пишется буква (метка), указывающая на его функциональное назначение в соответствии с табл. 6.1. Статические прямые входы и выходы отображают прямыми линиями без каких-либо индикаторов, а инверсные имеют дополнительный индикатор в виде маленького кружка на стороне прямоугольника (рис. 6.1, а). Динамические входы обозначают небольшими треугольниками. У прямых динамических входов, вызывающих «опрокидывание» триггера при изменении уровня сигнала от 0 к 1, острие треугольника направлено внутрь поля (рис. 6.1, б), а у инверсных, вызывающих опрокидывание триггера при изменении уровня сигнала от 1 до 0, — наружу (рис. 6.1, в).

У триггера может быть несколько информационных входов, связанных в группы операциями И либо ИЛИ. Группа входов, связанная операцией И, в дополнительном поле помечается символом логического умножения. Группа входов, связанная операцией логического сложения ИЛИ, дополнительных символов в условном обозначении не имеет (рис. 6.1, г).

**имметричный триггер на биполярных транзисторах.**Упрощенная принципиальная схема симметричного транзисторного триггера приведена на рис. 6.2, *а*,а его временные диаграммы — на рис. 6.2, *б*. Если допустить, что после подачи напряжения источника https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-q4vR7I.pngна триггер оба транзистораVТ1 и VТ2 оказались открытыми, то вследствие даже незначительного отличия параметров элементов первого и второго плеч появятся различия в коллекторных токах и напряжениях, которые благодаря действию положительной ОС будут увеличиваться до тех пор, пока один из транзисторов не закроется, а другой не перейдет в режим насыщения.

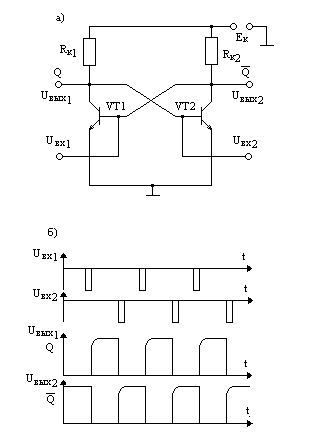


Рис.6.2. Схема симметричного триггера (а) и графики напряжений на его входах и выходах

**RS-триггеры на логических элементах.**Асинхронные RS-триггеры являются простейшими и выполняются на двух двухвходовых логических элементах типа И — НЕ либо ИЛИ — НЕ.

*Асинхронные RS-триггеры на ЛЭ ИЛИ — НЕ*. Асинхронный RS-триггер на двух логических элементах ИЛИ — НЕ (рис. 6.3, а) содержит два информационных входа https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-az89sx.pngиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-OwUieO.png, на которых возможны четыре комбинации логических сигналов:https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-gLA_2N.png;https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-OOjdwf.png;https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-maJBD_.pngиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-jhiSGm.png.

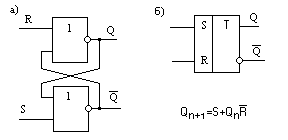


Рис.6.3. Схема (а) и условное обозначение (б) асинхронного RS-триггера

на ЛЭ ИЛИ - НЕ с прямым управлением

Этим комбинациям соответствуют определенные сигналы на выходах триггера https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-FGPG_j.pngиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-H3qXlQ.png, что отображается таблицей состояний триггера (табл. 6.2). В ней приняты следующие обозначения:https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-dGA0hu.pngиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-N_FSon.png- моменты времени до и после срабатывания триггера;https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-5FcTbS.pngиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-txNfl5.png- сигналы на информационных входах в моментhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-S9PSz9.png;https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-_2pjyJ.pngиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-i3BIoE.png- сигналы на прямом выходе в моменты времениhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-N3buiM.pngиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-rGPwaE.png.

На основании таблицы состояний и карты Карно можно получить выражение для логической (переключательной) функции для RS-триггера с прямым входом, которая имеет вид:

https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-sQ28G1.png(6.1)

Таблица 6.2. Состояния https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-O6o6wI.png-триггера с прямым управлением

|  |  |  |
| --- | --- | --- |
| https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-RQmYO7.png | | https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-1jI5KB.png |
| https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-307CTq.png | https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-JC7iFY.png | https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-BN5025.png |
| 0 | 0 | https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-Awbms5.png |
| 1 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 1 | x |

Из таблицы состояний и выражения (6.1) видно, что первая комбинация входных сигналов https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-39MZO2.pngне вызывает изменения состояния триггера. Действительно, если к моменту времениhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-_muQEg.pngсостояние триггера характеризовалось сигналамиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-7mlilB.png, https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-Uvo9Jz.png, то в момент https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-cr9tuF.pngна входах верхнего ЛЭ будут действовать нулевые сигналы, и на его выходеhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-mRRoaP.pngбудет логическая 1 (https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-kOvOqS.png). В это же время на верхнем входе нижнего ЛЭ будет логическая 1, на нижнем входеhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-VPm0dP.png— логический 0, в результате чего на его выходеhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-mANBqh.pngбудет поддерживаться логический 0 (https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-saKf8T.png). Аналогично можно показать, что при данной комбинации входных сигналов состояние триггера, соответствующее выходным сигналамhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-YVK8iM.png, иhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-i_s5nu.png, также не изменится. По этой причине комбинацию входных сигналовhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-v45gqd.pngназывают*режимом памяти*.

**D-триггеры. https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-HWFRte.png-**триггеры имеют один информационный вход **https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-2USr6X.png** и могут быть асинхронными или синхронными. Наибольшее применение получили синхронные **https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-NlCmkR.png-**триггеры. Простейший синхронный **https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-qvf9np.png-**триггер (рис. 6.7, а) выполнен на ЛЭ https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-JAnRsd.pngиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-3VBjC1.pngтипа И — НЕ по схеме https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-0XrRKP.png-триггера и является ячейкой памяти. Логические элементы https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-YwNTrs.pngиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-BFDcZY.pngобразуют схему управления.

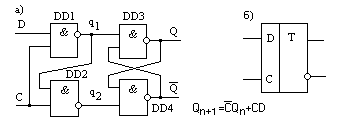


Рис. 6.7. Схема (а) и условное обозначение (б) https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-I1OAWw.png-триггера на логических элементах И — НЕ

Сигнал на выходе https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-9eFNfc.png**https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-he4AYz.png**-триггера принимает такое же значение, какое имеется на информационном входе **https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-L7UrP_.png** во время действия синхронизирующего импульса. Это значение хранится (запоминается) в триггере до прихода следующего синхронизирующего импульса, так как в паузах между синхронизирующими импульсами на входах ячейки памяти действует нейтральная комбинация сигналов https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-Durl_o.png. Следовательно, в **https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-9bCUU_.png**-триггере осуществляется задержка на один такт сигнала, поступающего на информационный вход **https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-A9A5we.png**. Поэтому **https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-aTlIZb.png**-триггер называют *триггером задержки*.

В **https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-1Bpd49.png**-триггере вместо ЛЭ И— НЕ можно использовать ЛЭ ИЛИ —НЕ. В последнем случае для синхронизации потребуются импульсы нулевого уровня.

**JK-триггеры.**JK-триггер функционирует подобно https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-BdU4HQ.png-триггеру, с той лишь разницей, что не имеет запрещенной комбинации входных сигналов. Вход https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-Zb2Kmb.pngвыполняет роль входаhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-hJ6zzj.png, а входhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-LqX8LE.png— роль входаhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-8Bv6ib.png. При входной комбинацииhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-fMmEkf.png, эквивалентной запрещенной комбинацииhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-KeuJTB.pngдля https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-BycM_Y.png-триггера, состояниеhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-W2h5Vg.png-триггера изменяется на противоположное.

*Одноступенчатый https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-lNmBNg.png-триггер*. Структурная схема https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-YbETD1.png-триггера показана на рис. 6.9, а. На ЛЭ https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-zY5_wn.pngиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-sFtkSg.pngвыполнена ячейка памяти, представляющая https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-j5v76C.png-триггер. Элементы https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-KgMQqC.pngиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-dHYY6y.pngобразуют схему управления, аhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-SLbode.pngиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-qIhQpg.pngосуществляют задержку сигналов, поступающих на входы ячейки памяти. Особенностью https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-YKH8Re.png-триггера является наличие цепей обратной связи с выходов на входы, поэтому его состояние зависит не только от входных сигналовhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-sflwkw.pngиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-ogH8a1.png, но и от сигналов на выходахhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-xSaXRW.pngиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-REvNuw.png.

Работа JK-триггера определяется таблицей состояния (6.5) и логической (переключательной) функцией:

https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-zyI5SF.png(6.4)

Если https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-9r0sKH.png, то независимо от сигналовhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-l_d8gH.pngиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-30RH1B.pngна выходах ЛЭ https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-IAv4Xl.pngиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-Zcj2CQ.png будет нейтральная комбинацияhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-bbsgfq.png, сохраняющая информацию в ячейке памяти. При https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-8W4aR8.pngиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-uFObb6.pngпо-прежнему промежуточный сигнал https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-d6bFdK.png, а значение сигнала https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-wEa5um.png зависит от состояния ячейки памяти. Если https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-rgmd4w.pngиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-VgAtMR.png, то на входе ЛЭ https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-d1eGtj.pngбудут сигналы https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-R5rWiI.png,https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-Q9f5GG.pngи https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-XyRRVM.png. Состояние ячейки памяти не изменится. Если же https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-wZoCAe.png, аhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-pjEnhD.png, то https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-iKmPrp.png, на выходе ЛЭ https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-EmFIY1.png образуется сигнал https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-RlAHXp.png, а на выходе ЛЭ https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-0hoa2M.png — сигнал https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-QpCcZN.png. Аналогичным образом приhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-p3OpBk.pngиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-GNF3cR.pngв ячейку памяти записывается логический нуль, если она находилась в состоянии логической единицы, или подтверждается ее нулевое состояние.

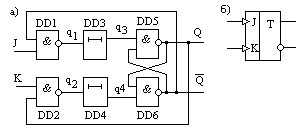


Рис. 6.9. Схема (а) и условное обозначение (б) асинхронного https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-QCw1x4.png-триггера

**T-триггеры. https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-c3UqvV.png**-триггер представляет собой триггер со счетным входом (или счетным запуском). Он изменяет свое состояние на противоположное при поступлении на вход **https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-jQ2tLu.png** каждого запускающего импульса.

Состояния **https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-0ApEVd.png**-триггера при различных значениях входных сигналов можно кратко отразить таблицей состояний (табл. 6.7).

Таблица. 6.7. Состояния **https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-y0EIuy.png**-триггера

|  |  |  |
| --- | --- | --- |
| https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-jE3iW5.png | https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-Q2aaik.png | https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-bBTP5g.png |
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |
| 0 | 1 | 1 |

Логическая функция, определяющая работу асинхронного **https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-8v8AOB.png**-триггера, имеет вид

https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-LwmDlV.png(6.7)

Для синхронного **https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-pUkNW8.png**-триггера можно записать

https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-tu1NsH.png(6.8)

В интегральном исполнении **https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-ea3Hnm.png**-триггеры не выпускаются, так как они легко получаются из https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-VlwbRD.png-, https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-kQ9V4l.png- илиhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-AG8NCf.png-триггеров.

На рис. 6.12, *а* показано преобразование двухступенчатого https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-eAB3t8.png-триггера в **https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-Auv7LT.png**-триггер. В те такты, когда https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-qVfXx5.png(при этомhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-juHyC_.png), синхронизирующий импульсhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-IXdgpv.pngустанавливает первый триггер в единичное состояние. Это состояние переписывается во второй триггер после прекращения действия синхронизирующего импульса На выходе триггера образуются сигналыhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-blTpwF.png,https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-Lxyrji.png. При поступлении следующего синхронизирующего импульса первый триггер сигналомhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-TMMwH0.pngустанавливается в нулевое состояние, которое записывается во второй триггер после окончания действия синхронизирующего импульса:https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-mhbVRj.png.

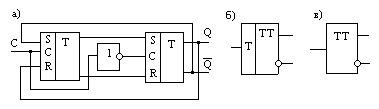


Рис. 6.12. Схема (а) и условные обозначения (б, в) https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-lwJIns.png-триггера, выполненного на синхронныхhttps://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-jijoQb.png-триггерах